

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

19479950

Basic Patent (No,Kind,Date): JP 2003345267 A2 20031203 <No. of Patents: 002>

(English)

IPC: \*G09F-009/30; G09F-009/35; H01L-029/786; H05B-033/02; H05B-033/04;

H05B-033/10; H05B-033/14

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2003345267	A2	20031203	JP 2002157577	A	20020530 (BASIC)
US 20030222334	AA	20031204	US 447156	A	20030529

Priority Data (No,Kind,Date):

JP 2002157577 A 20020530

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

015922947 \*\*Image available\*\*

WPI Acc No: 2004-080787/200408

XRPX Acc No: N04-064494

Display apparatus e.g. electrophoretic display has switching circuit unit

formed at semiconductor film for driving display elements laminated on semiconductor film

Patent Assignee: CANON KK (CANO )

Inventor: IKEDA S; SAKAGUCHI K; YONEHARA T

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20030222334	A1	20031204	US 2003447156	A	20030529	200408 B
JP 2003345267	A	20031203	JP 2002157577	A	20020530	200408

Priority Applications (No Type Date): JP 2002157577 A 20020530

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20030222334	A1		21 H01L-021/00	
JP 2003345267	A		15 G09F-009/30	

**Abstract (Basic):** US 20030222334 A1

**NOVELTY** - The display apparatus has display element unit (2)

laminated on the semiconductor film (1). A switching circuit unit

comprising several image forming switching elements (111) for driving

corresponding display elements (21), is formed at the semiconductor film.

**DETAILED DESCRIPTION** - An **INDEPENDENT CLAIM** is also included for display apparatus fabrication method.

**USE** - Display apparatus e.g. electrophoretic display, organic/inorganic electroluminescence (EL) display, liquid crystal display, electrochromic display and twisting ball display.

**ADVANTAGE** - The arrangement of the switching circuit unit and the display element unit on the semiconductor film enables to realize a light, thin and flexible display apparatus.

**DESCRIPTION OF DRAWING(S)** - The figure shows a schematic cross-sectional view of the display apparatus.

semiconductor film (1)

display element unit (2)

protective films (3,4)

display elements (21)

switching elements (111)

pp; 21 DwgNo 9/9

**Title Terms:** DISPLAY; APPARATUS; ELECTROPHORESIS; DISPLAY; SWITCH; CIRCUIT; UNIT; FORMING; SEMICONDUCTOR; FILM; DRIVE; DISPLAY; ELEMENT; LAMINATE; SEMICONDUCTOR; FILM

**Derwent Class:** P85; T04; U14

**International Patent Class (Main):** G09F-009/30; H01L-021/00

**International Patent Class (Additional):** G09F-009/35; H01L-021/30;

H01L-023/02; H01L-029/786; H05B-033/02; H05B-033/04; H05B-033/10;

H05B-033/14

**File Segment:** EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-345267

(P 2 0 0 3 - 3 4 5 2 6 7 A)

(43) 公開日 平成15年12月3日(2003.12.3)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G09F 9/30	338	G09F 9/30	338 3K007
	365		365 Z 5C094
9/35		9/35	5F110
H01L 29/786		H05B 33/02	
H05B 33/02		33/04	

審査請求 未請求 請求項の数15 O L (全15頁) 最終頁に続く

(21) 出願番号 特願2002-157577(P 2002-157577)

(22) 出願日 平成14年5月30日(2002.5.30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 池田 外充

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 坂口 清文

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

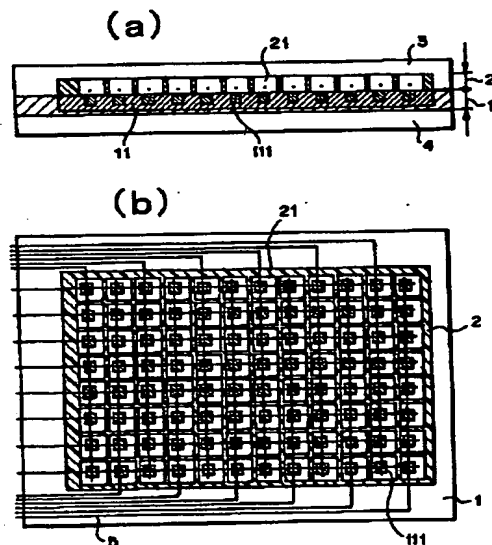
最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】 軽量薄型で、可撓性を有する高性能のフレキシブルディスプレイを提供する。

【解決手段】 複数の表示素子21から成る表示素子部2と、表示素子21を駆動するための画像形成用スイッチング回路部11が形成された半導体薄膜1とを積層する。また、半導体基板18の分離層19上に半導体薄膜1を形成し、それにスイッチング回路部11を形成する。その後、分離層19から半導体薄膜1を分離し、その上に画像表示部2を積層することで、軽量薄型で可撓性を有する表示装置を作製する。



- 1: 回路部を有する半導体薄膜
- 2: 表示素子部
- 3: 上部保護膜
- 4: 下部保護膜
- 6: 配線
- 11: 画像形成用スイッチング回路部
- 21: 表示素子
- 111: 画像形成用スイッチング素子

## 【特許請求の範囲】

【請求項 1】 複数の表示素子から成る表示素子部と、基板上に形成された分離層から分離され、且つ、前記表示素子を駆動するための複数の画像形成用スイッチング素子が形成された半導体薄膜とを積層して成ることを特徴とする表示装置。

【請求項 2】 前記表示素子部を保護するための上部保護膜、及び前記半導体薄膜を保護するための下部保護膜が形成され、前記上部保護膜と下部保護膜のうち少なくとも一方が光透過性を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記上部保護膜及び下部保護膜は、ともに可撓性を有することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記同一の半導体薄膜上に周辺回路部が形成されていることを特徴とする請求項 1～3 に記載の表示装置。

【請求項 5】 前記半導体薄膜は、切り込み溝により複数の領域に分割されていることを特徴とする請求項 1～4 に記載の表示装置。

【請求項 6】 前記半導体薄膜は、積層された複数の半導体薄膜から構成され、1つの半導体薄膜にスイッチング回路部又はスイッチング回路部と周辺回路部が形成され、他の半導体薄膜に周辺回路部が形成されていることを特徴とする請求項 1～5 に記載の表示装置。

【請求項 7】 前記半導体薄膜は、単結晶シリコン層であることを特徴とする請求項 1～6 に記載の表示装置。

【請求項 8】 前記分離層は、多孔質シリコン層であることを特徴とする請求項 1～7 に記載の表示装置。

【請求項 9】 前記表示素子は、液晶表示素子、有機 EL 表示素子、無機 EL 表示素子、電気泳動表示素子、ツイステッド・ボール表示素子、又はエレクトロクロミック表示素子であることを特徴とする請求項 1～8 に記載の表示装置。

【請求項 10】 前記周辺回路部は、前記表示素子を選択する走査線駆動回路及びデータ線駆動回路、プロセッサ、メモリ、画像処理回路、ワイヤレス通信回路、太陽電池、二次電池、外部入出力回路、又はスピーカーであることを特徴とする請求項 1～9 に記載の表示装置。

【請求項 11】 分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子を形成する工程、前記半導体薄膜上に画像表示部を形成する工程、前記画像表示部に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする表示装置の製造方法。

【請求項 12】 分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子と周辺回路部を形成する工程、前記半導体薄膜

上に画像表示部を形成する工程、前記画像表示部上に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする表示装置の製造方法。

【請求項 13】 分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子、又は画像形成用スイッチング素子と周辺回路部を形成する工程、前記半導体薄膜に切り込み溝を形成することにより半導体薄膜を複数の領域に分割する工程、分割された半導体薄膜上の各領域毎に画像表示部を形成する工程、前記画像表示部上に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする表示装置の製造方法。

【請求項 14】 第 1 の分離層を有する第 1 の基板上に第 1 の半導体薄膜を形成する工程、前記第 1 の半導体薄膜上に少なくとも画像形成用スイッチング素子を含む回路部を形成する工程、前記第 1 の半導体薄膜上に仮基板を接着する工程、前記第 1 の基板を前記分離層から分離する工程、前記第 2 の分離層を有する第 2 の基板上に第 2 の半導体薄膜を形成する工程、前記第 2 の半導体薄膜上に周辺回路部を形成する工程、前記仮基板上の第 1 の半導体薄膜と前記第 2 の基板の第 2 の半導体薄膜とを接合する工程、前記仮基板を分離する工程、仮基板が分離された第 1 の半導体薄膜上に画像表示部を形成する工程、前記画像表示部上に上部保護膜を形成する工程、前記第 2 の基板を第 2 の分離層から分離する工程、前記第 2 の半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする表示装置の製造方法。

【請求項 15】 前記分離工程は、前記分離層に液体、或いは気体の流体を注入することによって行うことを特徴とする請求項 11～14 に記載の表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、表示装置及びその製造方法、特に、薄型でフレキシブルな表示装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 近年、情報機器の発達に伴い、低消費電力且つ薄型の表示装置のニーズが増しており、これらニーズに応じて表示装置の研究、開発が盛んに行われている。特に、デジタルペーパー、ペーパーライクディスプレイ、電子ブックといった名称で、形態的に紙（印刷物）に近く、一方で表示内容が電氣的に書き換え可能である表示媒体が多数提案されている。例えば、特表平 11-502950 号公報には、シート状の複数のページディスプレイからなる電子ブックの構成について開示さ

れている。

【0003】このようなシート状のディスプレイは、形態的に紙に近づけようとすれば、画素をスイッチングするための薄膜トランジスタ回路、いわゆるTFTスイッチング回路を画素のごく近傍に形成するのみならず、サンプルホールド回路、シフトレジスタ等からなる走査線駆動回路やデータ線駆動回路等のTFTスイッチング回路を駆動するための周辺回路も画素周辺部、即ち、画素が保持されている基板と同一の基板上に設置、或いは基板中に埋め込むことが必要である。

【0004】特に、これは、複数のシート状ディスプレイからなる電子ブックでは必須である。即ち、画素部を含むシートに周辺回路、特に、走査線駆動回路及びデータ線駆動回路から成るいわゆる駆動ICが配置されていないと、周辺回路が実装されている部材、複数のシートを保持している部材、例えば、本の背表紙に相当する部材と各ディスプレイ・シートとの間で膨大な数の結線を行わねばならない。即ち、各ディスプレイ・シートがX列Y行のマトリクス状に配置された画素から成るとすると、駆動回路とディスプレイ・シートとの間で、少なくとも(X+Y)本(例えば、カラーVGAでは2400本)の結線をディスプレイ・シートの一辺(綴じ代の部分)のみで行わねばならない。

【0005】ディスプレイ・シート上でTFTスイッチング回路への配線を1辺にまとめるとなると、配線の取り回しに膨大なスペースが必要であり、その結果ディスプレイ・シート上での表示部分の面積割合が低下する恐れがある。また、周辺回路を搭載した部材との結線量が膨大であり、接続不良が発生する確率が増大する。特に、各ディスプレイ・シートを背表紙から取り外し自在とする構成では、接続不良の確率は更に増大するであろう。

【0006】よって、特に、電子ブックでは、周辺回路の少なくとも一部を画素近傍に配置し、残りの周辺回路や電源を搭載しているディスプレイ・シート以外の部材との結線数を低減せしめることが極めて重要であることが容易に理解されよう。実際に、駆動ICを画素と同一基板上に配置した場合、基板外への取り出し配線数は、カラーVGAで約100本以下と駆動ICを基板外に配置した時(2400本以上)と比較して大幅に低減できる。

【0007】勿論、従来からのソリッドな形態を有する表示装置においても、たとえ画素部が形成されている基板の4辺全てを周辺回路との結線に利用できるとしても、周辺回路が画素近傍、即ち、画素と同一基板上になれば、ICやLSIといった周辺回路チップとの間で膨大な数の結線を行うことに変わりはない。また、この結線(Tape Automated Bonding=TAB)のピッチの限界は約130ppiと言われており、これ以上の高解像度を有する表示装置には適応できない。

【0008】そこで、このような問題点を回避し、生産性を向上して低コストの表示装置を提供するために、例えば、周辺回路をTFTスイッチング回路と同一の基板上に形成するという、いわゆる駆動回路一体型アクティブマトリクス表示装置が注目されている。

【0009】特に、TFTスイッチング回路として多結晶シリコン薄膜を利用する場合には、係る多結晶シリコンデバイスが非晶質シリコンデバイスと比較して約100倍のモビリティを有するために動作速度の速い周辺回路を同一基板上に容易に形成することができる(例えば、特開平5-333371号公報)。

【0010】しかしながら、多結晶シリコン薄膜を堆積し、そこに半導体回路や半導体集積回路を形成するには、900℃以上の高温処理が必要とされ、シリコンや石英といった高価な基板が必要であった。

【0011】そこで、係る問題を回避し安価なガラス基板でも利用することが可能な低温多結晶シリコン・デバイス形成プロセスが1980年代後半に提案され、1995年頃から実用化されるようになってきた。この手法は、基板上に先ず低温成膜可能な非晶質シリコン膜をプラズマCVDで成膜した後、必要な部分のみエキシマレーザーアニール(ELA)することで、シリコンを局所的に結晶化させるものである。

【0012】しかし、この低温プロセスによっても最高600℃程度のプロセス温度が必要であり、可撓性、軽さ、壊れ難さを実現するためガラス基板に代えてプラスチック基板を利用しようとする表示装置に応用することは困難である。特に、形態的に紙に近いディスプレイを目指すペーパーライクディスプレイや電子ブックでは、表示部分を耐熱性の低いプラスチックを主体とした材料で構成するので、可能な限り低温プロセスによって回路を形成する必要がある。

【0013】この低温プロセスによってプラスチック基板上に回路を形成する第1の手法としては、D.GundlachらによりTech. Dig. -Int. Electron Devices Meet. (1999), pp.111-114、或いはT.N.JacksonらによりSID 00 Dig. (2000), pp.411-414に示されているように、スピンコートや印刷といった常温・常圧のプロセスによる形成が可能な有機半導体を利用する手法がある。しかし、この手法では有機半導体材料のキャリア移動度が低いため、スイッチング回路には利用できても、高速性が要求される周辺回路には利用が困難である。

【0014】また、第2の手法として、S.D.TheissらによりTech. Dig. -Int. Electron Devices Meet. (1998), pp.257-260に、基板上に先ずプラズマCVDを用いて熱拡散作用を目的とした酸化シリコン膜を形成し、次にその上にDCスパッターを用いて非晶質シリコン膜を形成後、局所的に繰り返しパルス・エキシマレーザーアニールすることにより所望の部分のみ多結晶化するプロセスを利用して、プラスチック(PET)基板上に多

結晶シリコンTFTを形成する手法が示されている。しかし、この手法では、回路を1つずつ繰り返しパルスアニールしながら順次形成していくので、生産性の低下が懸念される。

【0015】更に、第3の手法として、S.Drobac、SID 99 Dig. (1999), pp.12-16に、単結晶シリコンウエハ上に半導体回路或いは半導体集積回路を形成した後、これを小片(チップ)として切り出したものを流体中に分散させ、ここに所定の位置に凹みを有するプラスチック基板を浸漬することにより、係る凹みに単結晶シリコンのチップが自己配列的にはまり込むプロセス(FSAと呼ばれる)が開示されている。

【0016】この手法の場合、単結晶シリコンを利用できるので、デバイス特性については申し分ない。しかしながら、シリコン・チップを自己配列的にはめ込む工程での歩留まりの低下、またチップを効率的にはめ込むために必要となる回路デザインの制約(チップの基板との接続部を幾何学的に線対称或いは中心対称に作製する)が懸念される。

【0017】また、第4の手法として、S.UtsunomiyaらによりSID 00 Dig. (2000), pp.916-919に示されているように、石英からなる成長基板上に非晶質シリコンの犠牲層を介して多結晶シリコン層を堆積し、ここにTFT等の半導体回路を形成した後、成長基板裏面からエキシマレーザー照射して非晶質シリコン層を結晶化又はアブレーションすることで、半導体回路を含む多結晶シリコン層を成長基板からの剥離を容易ならしめ、剥離・分離された半導体回路を含む多結晶シリコン層を所望の支持基板に転写する手法(SUTLAと呼ばれる)がある。

【0018】この手法の場合、支持基板の材質は何でもよいからプラスチック等の低融点材料も利用できる。しかしながら、成長基板裏面からのエキシマレーザー照射を均一に行わないと、剥離工程中に不均一な剥離が発生し、半導体回路を損傷せしめたりデバイス特性を損なう恐れがある。係る問題は転写面積が大きくなればなるほど、多発することが懸念される。

【0019】更に、第4の手法に類似の第5の手法として、特開平9-312349号公報に記載されているように、半導体基板上に多孔質層を介して単結晶シリコン層を堆積し、ここに所望の半導体回路を形成した後、半導体回路上に所望の支持基板を貼り合わせ、外力(引っ張り力)をもって多孔質層から半導体基板を分離し、半導体回路を支持基板上に転写する手法がある。しかしながら、この手法では、分離工程が引っ張り力という外力で行われるので、特に半導体形成された半導体回路の一部に局所的に歪み等が加わり半導体回路を損傷せしめたりデバイス特性を損なう恐れがある。係る問題は転写面積が大きくなればなるほど、多発することが懸念される。

## 【0020】

【発明が解決しようとする課題】このように従来の手法を用いて、耐熱性に劣る基板上に高品位な半導体回路を含む表示装置を形成するには、回路のデバイス特性の低下や歩留まり低下等の問題点を抱えていた。更に、半導体薄膜を基板へ転写して、その後、画像表示部を形成する場合には、基板の性質により画像表示部を形成するプロセスに制約があった。例えば、画像表示部形成プロセスの上限温度やプロセスによる基板の熱収縮等である。また、基板を用いることで画像表示装置が厚くなり、可撓性に限界があった。

【0021】本発明は、上記従来の問題点に鑑みなされたもので、その目的は、回路部が形成された半導体薄膜上に表示素子部を形成することにより、より軽量薄型で可撓性を有する表示装置及びその製造方法を提供することにある。

## 【0022】

【課題を解決するための手段】本発明の表示装置は、上記目的を達成するため、複数の表示素子から成る表示素子部と、基板上に形成された分離層から分離され、且つ、前記表示素子を駆動するための複数の画像形成用スイッチング素子が形成された半導体薄膜とを積層して成ることを特徴とする。

【0023】また、本発明の表示装置の製造方法は、分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子を形成する工程、前記半導体薄膜上に画像表示部を形成する工程、前記画像表示部に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする。

【0024】また、本発明の表示装置の製造方法は、分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子と周辺回路部を形成する工程、前記半導体薄膜上に画像表示部を形成する工程、前記画像表示部に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする。

【0025】また、本発明の表示装置の製造方法は、分離層を有する基板上に半導体薄膜を形成する工程、前記半導体薄膜上に画像形成用スイッチング素子、又は画像形成用スイッチング素子と周辺回路部を形成する工程、前記半導体薄膜に切り込み溝を形成することにより半導体薄膜を複数の領域に分割する工程、分割された半導体薄膜上の各領域毎に画像表示部を形成する工程、前記画像表示部に上部保護膜を形成する工程、前記半導体薄膜、画像表示部及び上部保護膜を前記基板から前記分離層において剥離・分離する工程、前記半導体薄膜側に下

部保護膜を形成する工程を含むことを特徴とする。

【0026】また、本発明の表示装置の製造方法は、第1の分離層を有する第1の基板上に第1の半導体薄膜を形成する工程、前記第1の半導体薄膜上に少なくとも画像形成用スイッチング素子を含む回路部を形成する工程、前記第1の半導体薄膜上に仮基板を接着する工程、前記第1の基板を前記分離層から分離する工程、前記第2の分離層を有する第2の基板上に第2の半導体薄膜を形成する工程、前記第2の半導体薄膜上に周辺回路部を形成する工程、前記仮基板上の第1の半導体薄膜と前記第2の基板の第2の半導体薄膜とを接合する工程、前記仮基板を分離する工程、仮基板が分離された第1の半導体薄膜上に画像表示部を形成する工程、前記画像表示部上に上部保護膜を形成する工程、前記第2の基板を第2の分離層から分離する工程、前記第2の半導体薄膜側に下部保護膜を形成する工程を含むことを特徴とする。

【0027】本発明においては、従来のようなフレキシブル基板が不要であるため、より薄型化でき、より可撓性を有する表示装置を実現できる。また、画像表示部の形成時のプロセス温度の上限はフレキシブルな基板に制限されることがなく、半導体薄膜（単結晶シリコン等）に形成した回路の信頼性により制限されるため、およそ1000℃程度までの画像形成時プロセスが可能である。そのため、様々な画像表示部を高品質に実現することができる。

【0028】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0029】（第1の実施形態）図1は本発明の表示装置の第1の実施形態を示す図である。図1（a）は断面図、図1（b）は平面図である。図1において、1は回路部を有する半導体薄膜、2は表示素子部、3は上部保護膜、4は下部保護膜、5は配線、11は画像形成用スイッチング回路部、21は表示素子、111は画像形成用スイッチング素子である。

【0030】画像形成用スイッチング回路部11には、複数のスイッチング素子111が含まれ、この複数のスイッチング素子111は複数の表示素子21にそれぞれ対応して設けられている。複数のスイッチング素子111は、それぞれ画像信号に応じて駆動され、この駆動により表示素子21による画像表示を行う。

【0031】また、表示装置の構造としては、画像形成用スイッチング回路部11が形成された半導体薄膜1上に表示素子部2が積層され、その上面が保護膜3で被覆され、その下面が保護膜4で被覆されている。表示素子部2の表示素子21は図1（b）に示すようにマトリクス状に配列されている。

【0032】画像形成用スイッチング回路部11は、別の基板（分離基板）上に形成された半導体薄膜1上に複数のスイッチング素子111が形成されたものであり、

その上に表示素子部2、上部保護膜3が形成されている。これらの半導体薄膜1、表示素子部2、上部保護膜3を一体化し、その後、これらを分離基板から剥離・分離することで、上部保護膜3、表示素子部2、半導体薄膜1の積層構造を実現している。その後、半導体薄膜1を下部保護膜4で保護することで表示装置が構成されている。この製造工程については後述する。

【0033】上部保護層3、下部保護層4としては、可撓性のあるプラスチック等が適している。また、上部保護層3、下部保護層4の少なくとも一方を光透過性のある材料を用いることで、光の取り出し又は外光の選択的な反射を行い表示を行う。上部保護層3、下部保護層4の材料としては、例えば、ポリカーボネート、変形ポリフェニレンエーテル、ポリサルホン（PSF）、ポリエーテルサルホン（PES）、ポリアリレート（PAR）、ポリアミドイミド（PAI）、ポリエーテルイミド（PEI）、ポリイミド（PI）、ポリアミド（PA）、ポリアセタール（POM）、ポリブチレンテレフタレート（PBT）、ポリエチレンテレフタレート（PET）、シンジオタクチック・ポリスチレン（SPS）、ポリフェニレンサルファイド（PPS）、ポリエーテルエーテルケトン（PEEK）、液晶ポリマー、フッ素樹脂、ポリエーテルニトリル（PEN）等が挙げられる。

【0034】スイッチング素子111としては、例えば、MOSトランジスタに代表される三端子素子TFT等の他、MOSダイオードやMIM非線型素子のような二端子素子も用いることができる。

【0035】表示素子部2としては、液晶表示、有機EL表示、無機EL表示、エレクトロクロミック表示、電気泳動表示、ツイステッド・ボール表示等従来公知の表示素子を利用することができる。表示素子21の素子構造としては、少なくとも電圧印加のための対向する一対の電極とその間に画像表示膜を含み、電極の一方はスイッチング素子の電極と電気的に接続されている。

【0036】図1の実施形態では、表示素子部2を構成する各画素（表示素子）21に対応してスイッチング素子111が形成されているが、複数のスイッチング素子111を集積化して1つの集積化スイッチング回路が複数の画素をスイッチングするように結線してもよい。また、スイッチング素子111が画素21の略中央に配置されているが、この位置関係は限定されるものではなく、従来公知の透過型液晶表示装置で実施されているように、スイッチング回路をできるだけ画素間に押し込むように配置しても構わない。

【0037】更に、図1の実施形態では、配線5は最低限必要となる走査線とデータ線しか描かれていないが、表示素子部2に給電するための配線、OFF時選択用配線等、必要に応じて用意することは言うまでもない。この配線5はスイッチング素子111を駆動するための周辺回路等を搭載した不図示の部品に接続されている。こ

10

20

30

40

50



の接続は固定されていても切り離し可能でもどちらでも構わない。

【0038】また、回路部を有する半導体薄膜 1 及び表示素子部 2 が順次直接積層されているが、その間に絶縁層、平坦化層や配線等を必要に応じて形成してもよい。表示素子部 2、画像形成用スイッチング回路部 11 と配線 5 を結線するには従来公知の手法、例えば、コンタクトホール、異方性導電フィルム (ACF)、金バンプ等を用いて行う。

【0039】このように本実施形態では、半導体薄膜 1 上に表示素子部 2 を積層しているので、従来のようなフレキシブル基板を不要とすることができ、より軽量薄型でより可撓性を有する表示装置を実現できる。特に、このことは、紙のような形態のシート状ディスプレイに好適である。また、画像表示部の形成時におけるプロセス温度の上限が基板に制限されないため、高温のプロセス温度が可能となり、様々な画像表示部を高品質にすることができる。

【0040】(第 2 の実施形態) 図 2 は本発明の第 2 の実施形態を示す図である。図 2 (a) は断面図、図 2 (b) は平面図である。なお、図 2 では図 1 と同一部分は同一符号を付して説明を省略する。本実施形態では、同一の半導体薄膜 1 上にスイッチング回路部 11 と周辺回路部 6 を形成している。周辺回路部 6 は画像形成用スイッチング回路部 11 を駆動するためのシフトレジスタ等からなる走査線駆動回路 62、シフトレジスタ等からなるデータ線駆動回路 61 である。これらの走査線駆動回路やデータ線駆動回路はマトリクス状に配置された表示素子 21 を選択する回路である。その他の構成は図 1 と同様である。

【0041】本実施形態では、半導体薄膜 1 上にデータ線駆動回路 61、走査線駆動回路 62 から成る周辺回路部 6 を形成しているため、第 1 の実施形態と比べて不図示の外部周辺回路に接続するための配線 5 の本数を大幅に低減できる。従って、シート状の画像表示部を外部周辺回路とコネクタを介して分離可能な構成とする場合、必要な結線数を少なくでき、信頼性を向上できる。なお、図 2 の配線 5 の本数は正確に必要な本数を示すものではない。

【0042】また、図 2 では走査線駆動回路 62 及びデータ線駆動回路 61 が各々スイッチング回路部 11 とは分離されているが、これらの回路は一体化した回路として形成しても良い。更に、走査線駆動回路 62 を形成した半導体薄膜 1、データ線駆動回路 61 を形成した半導体薄膜 1 及び画像形成用スイッチング回路部 11 を形成した半導体薄膜 1 は、図 2 において一体に形成されているが、分離形成して電氣的に接続しても良い。

【0043】この場合、表示装置の寸法が大き過ぎない限り、一体化した回路膜を用いる方が、スイッチング回路と駆動回路との結線に関わるコストを低減できるので

好ましい。逆に、表示装置の寸法が大きい場合等には、周辺回路部 6 を更に分割し、多数の回路膜を含む部材を適宜配置することで構成してもよい。この場合には、より可撓性が増す。

【0044】(第 3 の実施形態) 図 3 は本発明の第 3 の実施形態を示す図である。図 3 (a) は断面図、図 3 (b) は平面図である。なお、図 3 では図 1、図 2 と同一部分は同一符号を付して説明を省略する。第 1、第 2 の実施形態では、画像形成用スイッチング回路部 11 を有する半導体薄膜 1 は単体であり、この半導体薄膜 1 上に全てのスイッチング素子 111 が形成されているが、本実施形態では半導体薄膜 1 が複数の領域に分割されている。また、分割された複数の半導体薄膜 1 の領域毎に表示素子部 2 が積層されている。

【0045】即ち、画像形成用スイッチング回路部 11 は図 3 (a)、(b) に破線で囲んで示すようにスイッチング素子 111 を形成した複数の半導体薄膜 1 に分割され、表示素子部 21 も複数の領域に分割されている。分割された半導体薄膜 1 及び表示素子部 21 の隙間には必要に応じて不図示の平坦化層を付設してもよい。また、複数の領域に分割された半導体薄膜 1 及び表示素子部 21 は、マトリクス状に電氣的に接続するように配線を形成する必要がある。

【0046】更に、図 3 では 1 つの画像形成用スイッチング素子 111 が 1 つの表示素子 21 に対応し、単に、画像形成用スイッチング回路部 11 が複数の領域に分割されているが、複数のスイッチング素子を有する集積化スイッチング回路ブロックを離散的に配置し、画素-集積化スイッチング回路ブロック間の配線を介して複数の画素を駆動しても良い。極端な場合、各画素毎にスイッチング素子 111 を有する回路膜を配しても構わない。

【0047】このようにスイッチング回路部を形成した半導体薄膜 1 や表示素子部 2 を複数の領域に分割する構成は、表示装置の寸法が大きい時に特に有効である。また、本発明の効果である可撓性が増すため、頑丈な画像表示装置を形成するために有効である。

【0048】(第 4 の実施形態) 図 4 は本発明の第 4 の実施形態を示す図である。図 4 (a) は断面図、図 4 (b) は平面図である。なお、図 4 では図 1 ~ 図 3 と同一部分は同一符号を付して説明を省略する。本実施形態では、第 2 の実施形態の走査線駆動回路 62 やデータ線駆動回路 61 に加えて、同一半導体薄膜 1 上にプロセッサ 71、メモリ 72、画像処理回路 73、ワイヤレス通信回路 74、太陽電池 75、二次電池 76、外部入出力回路 77、スピーカ 78 等が形成されている。これらの構成要素は不図示の配線により電氣的に接続され、表示装置に必要な周辺回路部の殆どが同一半導体薄膜 1 上に形成されている。

【0049】また、これらの周辺回路部は、従来公知の手法により半導体薄膜 1 上に形成することができる。特

に、プロセッサ71等の高速性が要求される回路としては、単結晶半導体薄膜上に回路を形成することが望ましい。なお、図4では周辺回路部が同一半導体薄膜1上に形成されているが、これらの周辺回路の一部又は全部を分割された半導体薄膜に形成しても良い。特に、薄膜状の太陽電池75、二次電池76、スピーカー78等は別の基板上に作製し、これを基板から剥離、分離して組み合わせるが良い。更に、周辺回路部の一部を層の異なる半導体薄膜に形成しても良い。

【0050】また、周辺回路を構成する回路はここで述べたものに限定される訳ではなく、必要に応じて追加或いは、削除しても構わない。更に、その他の表示装置に必用な従来公知の薄膜状の部品、例えば、タッチパネル用デジタイザ、シート状電池（燃料電池も含む）やシート状ヒートシンク等を適宜付設しても良いことは言うまでもない。

【0051】（第5の実施形態）図5は本発明の第5の実施形態を示す図である。図5（a）は断面図、図5

（b）は平面図である。なお、図5では図1～図4と同一部分は同一符号を付して説明を省略する。本実施形態では、周辺回路部8を有する第2の半導体薄膜1'、その上に画像形成用スイッチング回路部11とデータ線駆動回路61、走査線駆動回路62を有する第1の半導体薄膜1、その上に表示素子部2が順次積層されている。

【0052】周辺回路部8を有する第2の半導体薄膜1'と周辺回路部やスイッチング回路部11を有する第2の半導体薄膜1との間には、不図示の平坦化層が形成され、コンタクトホール等を通して電氣的に接続されている。なお、これに限ることなく、例えば、平坦化層を省略することも可能であるし、コンタクトホールではなく、異方性導電膜（ACF：厚さ方向にのみ導電性を示す導電経路を有し、且つ、隣接する導電経路が互いに電氣的に絶縁されている膜）を介在させる等の手法により結線を行っても良い。

【0053】周辺回路部8には、図4と同様にメモリ72、プロセッサ71、ワイヤレス通信回路74、外部入出力回路77等が含まれ、これらの回路が第2の半導体薄膜1'上に形成されている。また、これらの回路は必ずしも半導体薄膜1'上に配置する必要はない。更に、回路部を有する半導体薄膜は2層であるが、必要に応じて更に多層に形成することも可能である。この場合、層間に平坦化層や層間絶縁層を設けても良い。

【0054】また、画像形成用スイッチング回路部11と同一面内に周辺回路の一部を配置しているが、画像形成用スイッチング回路部11と周辺回路部とを異なる半導体薄膜に形成しても、同一の半導体薄膜に形成しても構わない。但し、この場合には、図5に示すように画像形成用スイッチング回路11とスイッチング回路部11を駆動するための走査線駆動回路62及びデータ線駆動回路61とを同一の回路膜に形成することが、スイッチ

ング回路部と駆動回路との結線を実にする上で好ましい。

【0055】本実施形態では、周辺回路を表示素子部2の周囲に配置する必要がない、若しくは表示素子部2の周囲の周辺回路を低減できるので、表示素子部2の周囲の余白面積を極力小さくすることができる。また、半導体薄膜を積層配置とする場合、表示素子部2として透過型液晶表示素子を用いる時には、特に、薄膜状白色EL等の光源を第1の半導体薄膜1と第2の半導体薄膜1'との間に設置することがより望ましい。

【0056】（第6の実施形態）次に、本発明の表示装置の製造方法について詳しく説明する。図6は本実施形態の表示装置の製造工程を示す図である。まず、図6（a）に示すように半導体基板18上に分離層19を形成する。半導体基板18としては、CZ法、MCZ法或いはFZ法等で作製された単結晶シリコンウエハの他、基板表面が水素アニール処理されたウエハ或いはエピタキシャルシリコンウエハ等を用いることができる。また、シリコンウエハに限らず、GaAs基板やInP基板といった化合物半導体基板を用いることもできる。

【0057】一方、分離層19の形成方法としては、陽極化成による多孔質層を利用する方法、或いは水素、窒素若しくはヘリウム等の希ガスをイオン注入したイオン注入層を利用する方法がある。前者の形成方法が有効である理由は、多孔質層の形成によりその界面付近に大きな結晶歪みが形成され、分離し易くなるからである。但し、極端且つ急峻に多孔質層の多孔度を大きくすると、結晶歪みが大きくなり過ぎて部分的に自然剥離を起したりする恐れがある。そこで、分離層19を多孔度の異なる複数の層で構成し、例えば、半導体基板側から、高多孔度層、低多孔度層の2層構成にすると良い。

【0058】また、多孔質層表面に歪みの影響が伝達されると、後述する多孔質層上に成長させる半導体膜の膜質に悪影響を及ぼす場合も有り得るので、例えば、半導体基板側から、低多孔度層、高多孔度層、低多孔度層の3層構成にしてもよい。ここで、高多孔度層の多孔度は10%から90%、低多孔度層の多孔度は1%から70%の範囲で利用可能である。多孔度の異なる層の形成は、陽極化成の際の電流密度を変えたり、或いは化成溶液の種類や濃度を変化させることで実現することができる。

【0059】陽極化成により多孔質層を形成する場合には、多孔質層からなる分離層19上に半導体薄膜1を成長させるに先立って多孔質の孔の内側に窒化膜或いは酸化膜等の保護膜を設ける保護膜形成工程や水素を含む雰囲気下中で800～1000℃の熱処理工程を行うのが良い。これら2つの工程を併用、即ち、保護膜形成後、熱処理工程を実施することも好ましい。

【0060】更には、熱処理工程の後、第2の熱処理を更に高温、900℃～融点の範囲で行うことも好ましい。例えば、最初の熱処理工程を950℃で行い、第2

の熱処理工程を1100℃で行う。これらの処理により、多孔質層表面の孔の封止を行う。形成された多孔質層は、基板表面とほぼ垂直方向に細長く伸びた微細孔形状であり、オリジナルの基板が有する結晶性を維持している。尚、多孔質層の厚さは数百 $\mu\text{m}$ から0.1 $\mu\text{m}$ 程度まで使用することが可能である。

【0061】次に、図6(b)に示すように分離層19上に半導体薄膜1を堆積する。半導体薄膜1は、CVD法、MBE法、スパッター法等従来公知の成膜方法により形成することが可能である。CVD法により半導体薄膜1を成長させる場合には、所定の厚み(例えば、10nm)までは20nm $\cdot\text{min}^{-1}$ 以下の低成長速度で行うことが好ましい。ここで、多孔質層が結晶性を維持しているので、その上に半導体薄膜をエピタキシャル成長させることが可能となる。

【0062】また、半導体薄膜1としては、単結晶シリコン薄膜やGaAs、InP、GaN等の化合物半導体膜を用いることができる。半導体薄膜1が単結晶シリコンの場合には、原料ガスとして、 $\text{SiH}_4$ 、 $\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiH}_2$ 、或いはHClガスを添加してもよい。

【0063】次に、図6(c)に示すように半導体薄膜1に回路素子或いは集積回路から成るスイッチング回路部11や周辺回路部6を形成する。スイッチング回路部11や周辺回路部6は図1～図5等の画像形成用スイッチング回路部11、周辺回路部6にそれぞれ対応する。これらの回路素子或いは集積回路を形成するには、従来公知の各種デバイス作製プロセスを利用すればよい。スイッチング回路部11としては、従来公知の回路でよく、例えば、MOSFETとキャパシタを適宜組み合わせ構成すれば良い。

【0064】次いで、図6(d)に示すようにスイッチング回路部11等を形成した半導体薄膜1上に表示素子部2を形成する。表示素子部2の各々の表示素子21は、図示しない上部電極、表示素子膜、下部電極から成り、スイッチング回路部11の各々のスイッチング素子が各々の下部電極と電気的に接続されている。表示素子部2としては、前述のように液晶表示、有機EL表示、無機EL表示、エレクトロクロミック表示、電気泳動表示、或いはツイスティング・ボール表示等の従来公知の表示素子構造が用いられる。

【0065】その後、図6(e)に示すように表示素子部2を保護するための上部保護膜3を形成する。上部保護膜3としては、ガラス等も含まれるが、望ましくはプラスチックを用いるのが良い。上部保護膜3の形成方法としては、ポリマーシートを接着するか、或いは溶液法により有機溶剤に溶解させたポリマーを塗布し、焼成する。

【0066】次に、図6(f)に示すように回路部を有する半導体薄膜1とその上に形成した表示素子部2及び上部保護膜3を分離層19で剥離・分離して、回路膜を

含む表示素子を作製する。分離層19として多孔質層を用いる場合には、分離の具体的手法として、例えば、特開平9-312349号公報に開示されているように真空チャック等で部材を保持しつつ、分離する領域に引っ張り力、圧縮力、剪断力を加えることによって機械的に引き剥がしたり、或いは、超音波振動を印加して分離したり、局所的に加熱して分離する方法がある。

【0067】但し、分離の際には回路へ加わる局所的な応力に伴う回路の損傷を回避する観点から、流体の圧力を印加する方法を利用することが好ましい。流体の圧力を印加する場合には、液体或いは気体から成る流体を高圧のジェットとして分離層19の側面に噴き付ける。ここで用いる液体としては、水、エッチング液、アルコール等がある。液体を使用する際には、同時に超音波を印加しても良い。また、気体としては、空気、窒素ガス、アルゴンガス等を利用できる。更に、これらの流体に氷やプラスチック片、研磨剤といった固体の粒子、粉体を含有した物を用いても良い。

【0068】更に、分離層19に静圧を印加することにより分離を行うことも可能である。静圧を印加するためには、半導体基板18の周辺部の少なくとも一部を取り囲んで密閉空間を構成するための密閉空間構成部材、及び密閉空間内に外部の空間よりも高い圧力を印加する圧力印加機構が必要となる。

【0069】流体は非常に微小な隙間へも流入し、内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また、一部に極端に圧力がかからないことから、最も分離し易い個所を選択的に分離するという特徴がある。このように液体を用いる方法は、本発明のように薄膜デバイス(回路)が既に作製されている薄膜全面を分離するのに最適の方法である。

【0070】ここで、分離工程後、回路膜を含む部材に分離層19の一部が在留することがある(以下、残留分離層)。この残留分離層は必要に応じて研磨、研削或いはエッチング等により除去しても構わない。また、除去せずに、例えば、水素を含む雰囲気中で熱処理する等しても良い。なお、残留分離層は高抵抗化されており、一種のSOI的なデバイスの高速化、低消費電力化が実現されるので、特に問題がなければ、除去することなく利用してもよい。

【0071】最後に、図6(g)に示すように半導体薄膜1を保護するための下部保護膜4を形成して表示装置が完成する。下部保護膜4としては、上部保護膜3と同様にポリマーシートを接着するか、或いは有機溶剤に溶解させたポリマーを塗布し、焼成することで形成する。なお、残された半導体基板18は上述した回路膜を含む部材の作製に繰り返し利用できる。

【0072】なお、本実施形態では、半導体薄膜1上にスイッチング回路部11及び周辺回路部6を形成したが、図4と同様にプロセッサ71、メモリ72、画像

処理回路73、ワイヤレス通信回路74、太陽電池75、二次電池76、外部入出力回路77、スピーカー78等を形成しても構わない。また、分離層19の上に堆積する膜も半導体薄膜に限定されず、酸化シリコン等の絶縁体膜を用い、この上にMIM構造素子等を形成して回路膜を構成してもよい。更に、絶縁体膜を介して更にこの上に半導体薄膜を堆積し、この半導体膜に回路素子や集積回路を形成して回路膜を構成しても構わない。

【0073】(第7の実施形態)次に、本発明の製造方法の他の実施形態を第7の実施形態として説明する。図7は第7の実施形態の製造工程を示す図である。まず、  
10 基板18上に分離層19を形成し(図7(a))、分離層19上に半導体薄膜1を形成する(図7(b))。その後、半導体薄膜1上にスイッチング回路部11や周辺回路部6を形成する(図7(c))。ここまでは、図6と同様である。

【0074】次に、図7(d)に示すように半導体薄膜1を複数の集合体ブロックにチップ化するために、回路毎或いはスイッチング回路部11の幾つかの集合体ブロック毎に切り込み溝12を形成する。ここでは、周辺回路部6とスイッチング回路部11を複数のブロックに分割している。切り込み溝12は通常のダイシング装置を用いて形成することができる。この他、エッチング、レーザーアブレーション、超音波カッターや高圧ジェット(例えばウォータージェット)等を用いてもよい。エッチングで形成する場合には、 $\text{HF} + \text{H}_2\text{O}_2$ 、 $\text{HF} + \text{HNO}_3$ 、アルカリ溶液等のエッチング液を用いることができる。レーザーによる場合には、YAGレーザー、 $\text{CO}_2$ レーザーやエキシマレーザー等を利用することができる。

【0075】切り込み溝12の先端は必ずしも分離層19まで到達していなくても良いが、好ましくは分離層19の内部或いは半導体基板18と分離層19との界面付近に到達しているのが良い。但し、半導体基板18を再利用するためには、半導体基板18まで到達しないように形成することが望ましい。また、分離層19が高多孔度層と低多孔度層を含んで形成されている場合には、高多孔度層の内部或いはその界面付近に切り込み溝12の先端が到達することが好ましい。

【0076】尚、切り込み溝12を形成する前に、分離後は個々のチップになるチップ間を、LOCOS(局所酸化)或いはメサエッチングして、チップ間には半導体薄膜が存在しないようにしても良い。

【0077】チップ化されたスイッチング回路部11の一体ブロックは、不図示の配線により全素子がマトリクス配置するように結線する。この結線の成方法としては、スイッチング回路部11のチップ化処理後、プラスチック等により配線を形成する部分を平坦化し、その上に通常の半導体プロセス又は印刷プロセスにより金属配線、絶縁層等を配置して形成する。

【0078】次いで、図7(e)に示すように表示素子

部2を分割された画像形成用スイッチング回路部11の各ブロック上にそれぞれ形成し、その後、図7(f)に示すように表示素子部2上に上部保護膜3を形成する。次に、図7(g)に示すように一体となったスイッチング回路部11と表示素子部2とそれらを保護する上部保護膜3を半導体基板18から分離して、チップ化された回路膜を含む部材を作製する。

【0079】この分離工程では、図6の製造方法で説明したように機械的に引き剥がしたり、或いは分離する領域を真空チャック等で保持した後、その領域に超音波振動を印加して分離したり、局所的に加熱して分離する。但し、分離の際に回路へ加わる局所的な応力に伴う回路の損傷を回避する観点から、流体の圧力を印加する方法を利用するのが好ましい。

【0080】流体の圧力を印加する方法としては、液体或いは気体からなる流体を高圧のジェットとして分離層19の側面に噴き付けたり、分離層に静圧を印加する。また、切り込み溝12から高圧の液体或いは気体からなる流体を注入したり、或いは流体を切り込み溝12の少なくとも一部に噴き付けることにより行う。各チップの周囲の切り込み溝に流体を噴き付ける場合には、所望のチップ毎に分離することが可能である。

【0081】最後に、図7(h)に示すように半導体薄膜1の下側に下部保護膜4を形成して表示装置が完成する。

【0082】(第8の実施形態)次に、本発明による表示装置の製造方法の更に他の実施形態を第8の実施形態として説明する。図8(a)~(n)は本実施形態の製造方法の製造工程を示す図である。図8(a)~(e)と図8(f)~(h)は、それぞれ異なる基板上での工程を示す。

【0083】まず、図8(a)~(c)に示すように基板18上に分離層19を形成した後、分離層19上に第1の半導体薄膜1を形成し、更に、半導体薄膜1上に画像形成用スイッチング回路部11、周辺回路部6を形成する。次に、図8(d)に示すように半導体薄膜1上に接着層17で仮基板20を接着し、その後、図8(e)に示すように分離層19から基板18を分離する。また、この分離後には残留分離層をエッチングにより除去する。

【0084】一方、図8(f)~(h)に示すように基板18上に分離層19を形成した後、分離層19上に第2の半導体薄膜1'を形成し、更に、半導体薄膜1'上に周辺回路部8を形成する。

【0085】次に、図8(i)に示すように図8(e)の半導体薄膜1上に図8(h)の半導体薄膜1'を積層する。これは、例えば、2つの半導体薄膜を接着剤を用いて接着する、或いは2つの半導体薄膜を熱処理によって接合する等の方法で行う。また、図8(j)に示すように仮基板20を除去した後、2つの半導体薄膜におけ

る周辺回路部6、スイッチング回路部11、周辺回路部8の必要な部分の電気的な接続を前述のようにコンタクトホール等で行う。

【0086】その後、図8(k)に示すように画像形成用スイッチング回路部11上に表示素子部2を形成し、続いて図8(l)に示すように上部保護膜3を形成する。次いで、図8(m)に示すように下側の基板18を分離層19で分離し、最後に図8(n)に示すように下部保護膜4を形成して表示装置が完成する。

【0087】ここで、周辺回路部6としては図2等で説明した走査線駆動回路62やデータ線駆動回路61等が適しており、画像形成用スイッチング回路部11と同一基板上に形成すると高速性、信頼性の点において有利である。また、周辺回路部8としては、図4、図5で説明したように画像処理回路、プロセッサ、メモリ等の直接の駆動回路ではない回路が適している。本実施形態によれば、フレキシブルなディスプレイシステムをよりコンパクトに実現できる。

【0088】

【実施例】次に、本発明の実施例について説明する。本願発明者は上記実施形態で説明した表示装置を作製し、評価実験を試みた。以下、これを実施例1、2として説明する。

【0089】（実施例1）実施例1では、図2の表示装置を図6の製造方法を用いて作製した。作製した表示装置の断面図を図9に示す。まず、本実施例では、表示素子部2として有機EL素子を用いた。また、半導体薄膜1に形成したスイッチング素子は少なくとも複数のTFTとコンデンサを有し、図9ではTFTとして表示部駆動用のTFT14、TFT14のゲートを制御するTFT15の2つのTFTを形成している。有機EL素子の下部電極22と一方のTFT14のドレイン電極が電気的に接続されている。

【0090】基本的に、有機EL素子の構造は図9に示すように下部電極22、上部電極24の間に少なくとも発光部23が設けられている。また、発光効率を向上する目的で、電子注入層、電子輸送層、ホール注入層、ホール輸送層等を導入していても良い。隣接する各々の表示素子21は絶縁層53で電気的に切断する方が望ましい。

【0091】また、マトリックス配線等は表示素子部2内において回路部と電気的な接続を取り、且つ、互いに電気的な絶縁を持つように構成している。表示素子部2を形成した後、上部保護膜3を形成し、更に、分離層19で分離した後、下部保護膜4を形成している。

【0092】次に、スイッチング回路部を形成した半導体薄膜1の作製方法について説明する。まず、直径300mmの比抵抗 $0.01 \Omega \cdot \text{cm}$ のp型単結晶シリコン基板18をHF中において陽極化成を行い、多孔質シリコン層からなる分離層19を形成した（図6(a)参照）。50

陽極化成の条件は以下の通りである。

【0093】電流密度： $7 \text{ mA/cm}^2$

陽極化成溶液： $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH} = 1:1:1$

時間：11分

多孔質シリコンの厚み： $12 \mu\text{m}$

【0094】多孔質シリコン層は、当該多孔質シリコン層上に高品質エピタキシャルシリコン層を形成でき、更に、分離層として用いることができるように多孔度を調整した。具体的には20%であった。

【0095】この単結晶シリコン基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質シリコンの孔の内壁は熱酸化膜で覆われた。この多孔質シリコン層の表面を弗酸で処理し、孔の内壁の酸化膜を残して、多孔質シリコン層の表面の酸化膜のみ除去した。次いで、多孔質シリコン層上にCVD法により単結晶シリコン層を $0.15 \mu\text{m}$ エピタキシャル成長させて半導体薄膜1を形成した（図6(b)参照）。成長条件は以下の通りである。

【0096】ソースガス： $\text{SiH}_4, \text{Cl}_2/\text{H}_2$

ガス流量： $0.5/180 \text{ l} \cdot \text{min}^{-1}$

ガス圧力：80 Torr

温度：950℃

成長速度： $0.3 \mu\text{m} \cdot \text{min}^{-1}$

【0097】また、エピタキシャル成長に先立って水素含有雰囲気中の熱処理を行った。これは、表面孔を封止するために行うものである。本熱処理に加えて、微小なシリコン原子を原料ガス等により付加し、その表面孔封止を補っても良い。

【0098】このようにして作製した基板は、通常用いられているエピウエハと同一のウエハとして扱うことができる。異なる点はエピタキシャル成長シリコン層の下に多孔質層が形成されていることのみである。

【0099】このエピタキシャル成長シリコン層からなる半導体薄膜1にウエハの中央対角280mm(11インチ)の領域にアクティブ・マトリクス用のスイッチング回路部11、及び周辺回路部6を形成した（図6(c)参照）。スイッチング回路部11は、従来公知の複数のMOSFET(14, 15)とキャパシタ16を利用するものである。

【0100】走査線駆動回路62やデータ線駆動回路61を含む周辺回路部6は、上述のスイッチング回路部11と同様の手法により作製した。走査線駆動回路62やデータ線駆動回路61は、CMOS回路を基本として、シフトレジスタ、アナログスイッチ、レベルシフター、バッファ等を組み合わせた従来公知の回路である。この後、必要に応じて、回路間、回路—配線間の結線を行った。

【0101】次に、表示素子部2をスイッチング回路部11上に形成した。まず、ポリイミド等の絶縁層53を形成し、適宜、マトリックス配線51、コンタクトホー

ル52等を形成した。表示素子21は少なくとも下部電極22、発光部23、上部電極24を有し、電圧を印加することでキャリアを注入し、発光部23においてキャリアの再結合により発光する。

【0102】有機EL材料として低分子系材料を用いる場合は、一般に真空化におけるマスク蒸着で各層を形成し、発光部23として電子注入層、電子輸送層、ホール注入層、ホール輸送層を加えることで発光特性を改善できる。また、有機EL材料として高分子材料を用いる場合には、一般に溶剤に可溶のため、空气中、印刷手法により形成できる。

【0103】表示素子部2を形成後、上部保護膜3として厚さ100 $\mu\text{m}$ のPET製シートに熱融着性の接着層を形成し、熱をかけて貼り合わせた。

【0104】次に、分離層19として機能する多孔質シリコン層で分離を行った(図6(f)参照)。分離にはウォータージェットを用いたが、エアージェット、窒素ガスジェット、その他の気体ジェット、或いは水以外の液体ジェット、氷やプラスチック片、研磨剤の混じった流体ジェット、或いはこれらの静圧を印加することも可能である。また、この際、回路膜側に残留した多孔質シリコンは除去しなかったが、除去しても良い。

【0105】一方、分離して残った半導体基板側は、残留多孔質層を除去し、必要であればエッジ等に残ったデバイス工程で形成された層を除去し、更に必要であれば表面再研磨をして、再度同じ工程に投入できた。また、ダミーウエハ等別目的の基板として利用できた。最後に、下部保護膜4として、熱可塑性ポリイミドを塗布・焼成により形成し、表示装置が完成した。

【0106】完成した表示装置に電源、コントローラ一、D/Aコンバーター等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも良好に表示可能であった。

【0107】一方、分離して残った半導体基板側は、残留多孔質層を除去し、必要であればエッジ等に残ったデバイス工程で形成された層を除去し、更に必要であれば表面再研磨をして、再度表示装置の作製工程に用いることができた。また、別目的の基板としても利用できる。例えば、ダミーウエハである。回路及び/又は集積回路を形成する層は、繰り返しの度に新規にエピタキシャル成長した層であるので、繰り返すことによる回路特性の劣化や表示装置の表示特性の劣化は認められなかった。

【0108】(実施例2)実施例1では分離層19を構成する多孔質層は1層であったが、実施例2では多孔度の異なる2層の多孔質層とした。まず、単結晶シリコン基板表面の陽極化成を以下の条件で行った。

【0109】電流密度:8 mA $\cdot\text{cm}^{-2}$

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH = 1:1:1

時間:5分

多孔質シリコンの厚み:6  $\mu\text{m}$

【0110】その後、更に以下の条件で陽極化成を行った。

【0111】電流密度:33 mA $\cdot\text{cm}^{-2}$

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH = 1:1:1

時間:80秒

多孔質シリコンの厚み:3  $\mu\text{m}$

【0112】このようにして単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に多孔度20%の低多孔度層を形成した。その後、実施例1と全く同様の工程で表示装置を作製した。

【0113】尚、2層の多孔質層の厚さは、6  $\mu\text{m}$ /3  $\mu\text{m}$ の構成でなくてもよく、陽極化成条件を変えることによって、厚さを可変することができる。陽極化成液は、HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH = 1:1:1でなくてもよい。また、エタノールの代わりにイソプロピルアルコール等の他のアルコールを用いても良い。アルコールは界面活性剤として反応泡のウエハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよく、界面活性剤を添加せずに、超音波で表面付着泡を除去しても良い。

【0114】次に、完成した表示装置に電源、コントローラ一、D/Aコンバーター等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも良好に表示可能であった。

【0115】一方、分離して残った半導体基板側は、残留多孔質層を除去し、必要であればエッジ等に残ったデバイス工程で形成された層を除去し、更に必要であれば表面再研磨をして、再度表示装置の作製工程に用いることができた。また、別目的の基板として利用できる。例えば、ダミーウエハである。回路及び/又は集積回路を形成する層は、繰り返しの度に新規にエピタキシャル成長した層であるので、繰り返すことによる回路特性の劣化や表示装置の表示特性の劣化は認められなかった。

【0116】なお、以上の実施例においては、表示部として有機EL表示等を用いて表示装置を作製したが、これ以外の表示方式であっても、電気アドレス方式で表示を行えるものであれば、どんな表示方式も利用可能である。例えば、液晶表示、無機EL表示、エレクトロクロミック表示、電気泳動表示、ツイスティング・ボール表示等を用いることができる。

【0117】

【発明の効果】以上説明したように本発明によれば、基板材料を用いることなく、プラスチック等により表面を保護されたスイッチング回路や周辺回路を搭載した高性能な表示装置を実現することができる。そのため、より軽量薄型で、より可撓性を有する高画質な表示装置を実現することができる。また、画像表示部の形成時におけるプロセス温度の上限が基板に制限されないため、高品質の表示装置を作製することができる。

50 【図面の簡単な説明】

【図 1】 本発明の表示装置の第 1 の実施形態を示す図である。

【図 2】 本発明の第 2 の実施形態を示す図である。

【図 3】 本発明の第 3 の実施形態を示す図である。

【図 4】 本発明の第 4 の実施形態を示す図である。

【図 5】 本発明の第 5 の実施形態を示す図である。

【図 6】 本発明の表示装置の製造方法の一実施形態を示す工程図である。

【図 7】 本発明の製造方法の他の実施形態を示す工程図である。

【図 8】 本発明の表示装置の製造方法の更に他の実施形態を示す工程図である。

【図 9】 本発明の実施例で作製した表示装置を示す模式的断面図である。

【符号の説明】

1、1' 回路部を有する半導体薄膜

2 表示素子部

3 上部保護膜

4 下部保護膜

5 配線

6、8 周辺回路部

11 画像形成用スイッチング回路部

12 切り込み溝

14、15 TFT

16 コンデンサ

17 接着層

18 半導体基板

19 分離層

20 仮基板

21 表示素子

22 下部電極

23 発光部

24 上部電極

10 51 配線

52 コンタクトホール

53 絶縁層

61 データ線駆動回路

62 走査線駆動回路

71 プロセッサ

72 メモリ

73 画像処理回路

74 通信回路

75 太陽電池

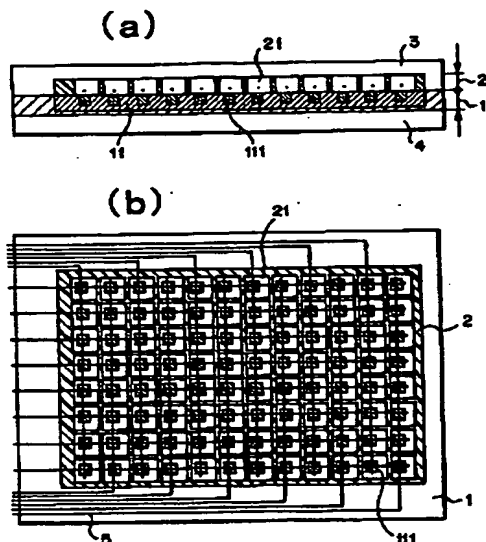
20 76 二次電池

77 外部入出力回路

78 スピーカー

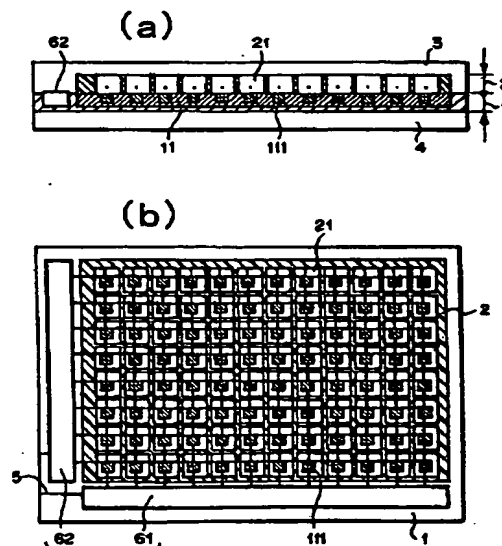
111 画像形成用スイッチング素子

【図 1】



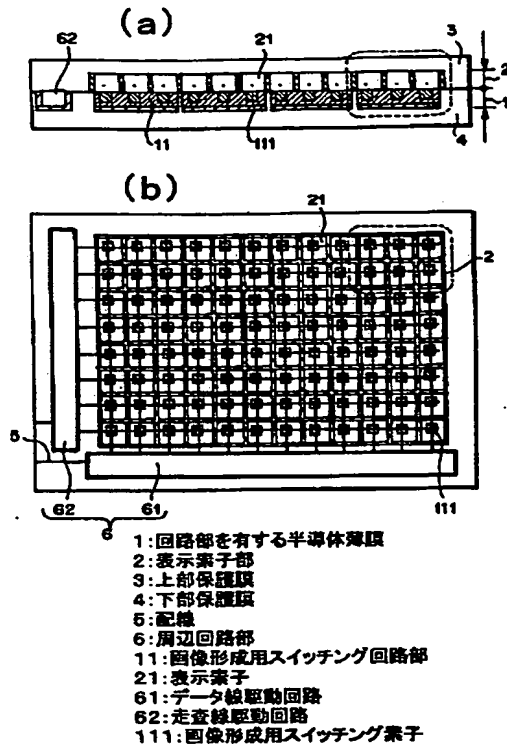
1:回路部を有する半導体薄膜  
2:表示素子部  
3:上部保護膜  
4:下部保護膜  
5:配線  
11:画像形成用スイッチング回路部  
21:表示素子  
111:画像形成用スイッチング素子

【図 2】

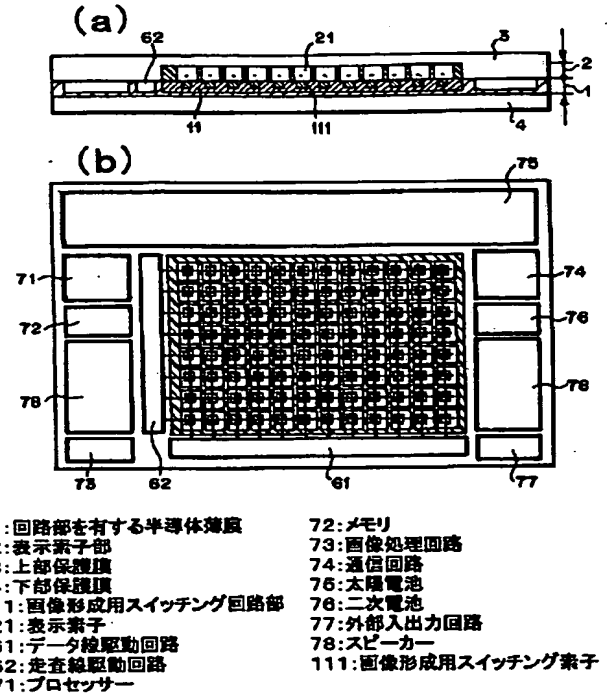


1:回路部を有する半導体薄膜  
2:表示素子部  
3:上部保護膜  
4:下部保護膜  
5:配線  
6:周辺回路部  
11:画像形成用スイッチング回路部  
21:表示素子  
61:データ線駆動回路  
62:走査線駆動回路  
111:画像形成用スイッチング素子

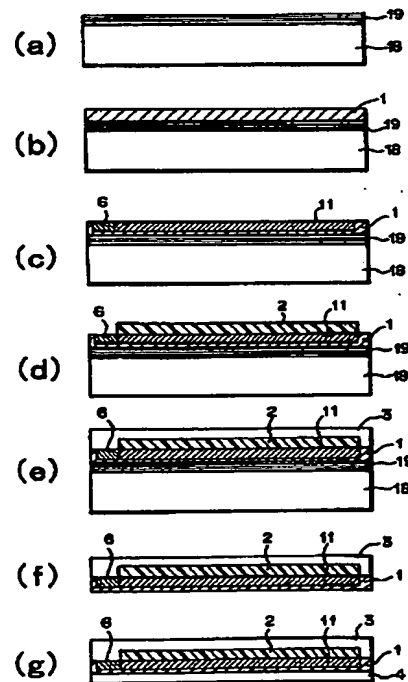
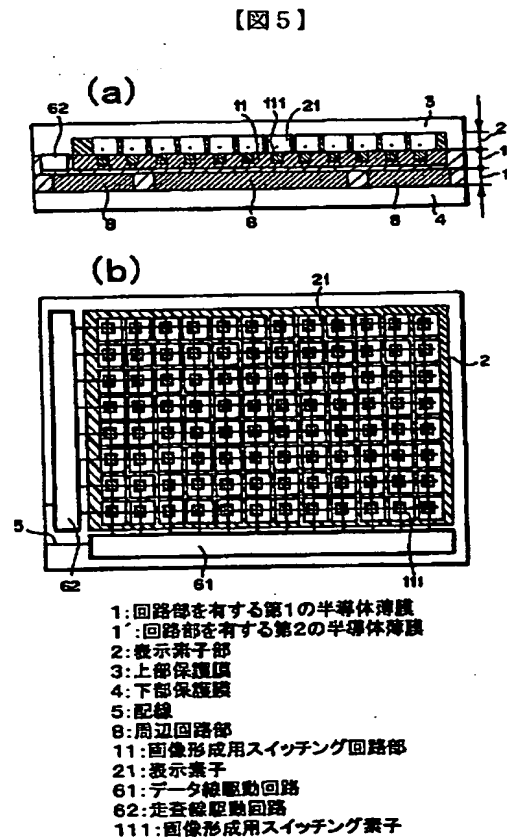
【図 3】



【図 4】

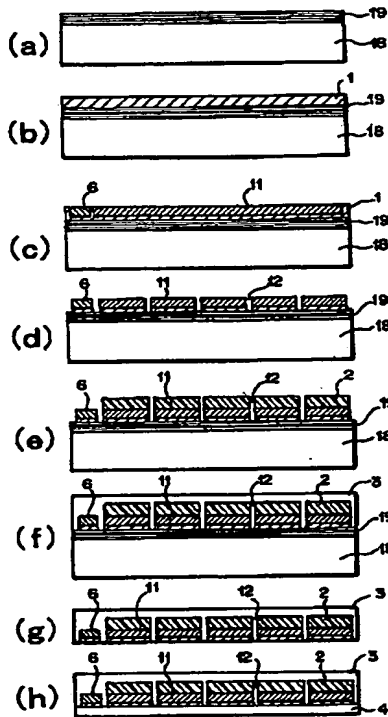


【図 6】



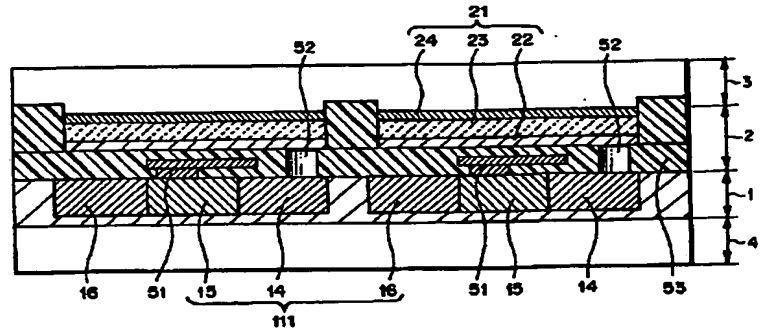


【図7】



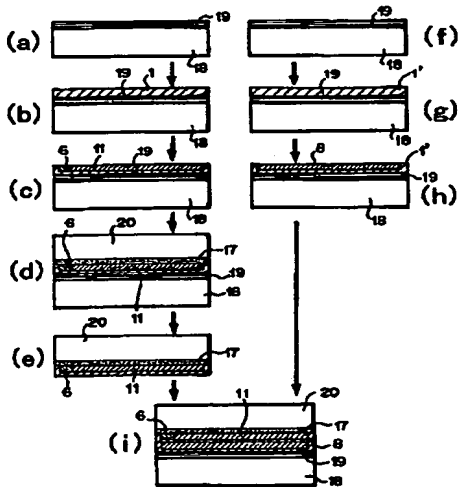
- 1:回路部を有する半導体薄膜 6:周辺回路部  
2:表示素子部 11:画像形成用スイッチング回路部  
3:上部保護膜 18:基板  
4:下部保護膜 19:分離層

【図9】

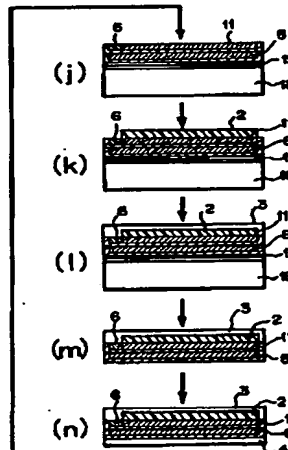


- 1:回路部を有する半導体薄膜 22:下部電極  
2:表示素子部 23:発光部  
3:上部保護膜 24:上部電極  
4:下部保護膜 51:配線  
14,15:TFT 52:コンタクトホール  
16:コンデンサ他 53:絶縁層  
21:表示素子 111:画像形成用スイッチング素子

【図8】



- 1:回路部を有する第1の半導体薄膜 4:下部保護膜 17:接層部  
1':回路部を有する第2の半導体薄膜 6,8:周辺回路部 18:基板  
2:表示素子部 11:画像形成用スイッチング回路部 19:分離層  
3:上部保護膜



## フロントページの続き

(51) Int. Cl.	識別記号	F I	タームコード (参考)
H 0 5 B	33/04	H 0 5 B	33/10
	33/10		33/14
	33/14	H 0 1 L	29/78
			A
			6 1 2 B
			6 2 6 C
			6 2 1
(72) 発明者	米原 隆夫	F ターム (参考)	3K007 AB18 BA06 BA07 BB07 CA06
	東京都大田区下丸子 3 丁目 30 番 2 号 キヤ		DB03 EB00 FA01 FA02
	ノン株式会社内		5C094 AA43 AA46 BA03 BA27 BA43
			BA75 CA19 DA06 GB10
			5F110 AA30 BB02 BB04 DD01 GG02
			GG04 GG12 GG42 GG43 GG44
			NN62 NN65 NN66 NN72 QQ06